



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0008789
Application Number

출원년월일 : 2003년 02월 12일
Date of Application FEB 12, 2003

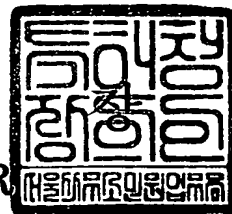
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2003.02.12		
【발명의 명칭】	비휘발성 소노스 메모리 소자 및 그 제조방법		
【발명의 영문명칭】	NONVOLATILE SONOS MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	김성균		
【성명의 영문표기】	KIM, SEONG-GYUN		
【주민등록번호】	660106-1841110		
【우편번호】	463-010		
【주소】	경기도 성남시 분당구 정자동 한솔마을 청구아파트 106동 504호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	8	면	8,000 원

【우선권 주장료】	0	건	0	원
【심사청구료】	17	항	653,000	원
【합계】	690,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 프로그래밍 동작 전압이 낮아진 비휘발성 소노스(SONOS) 메모리 소자 및 그 제조방법을 개시한다. 개시된 본 발명은, 소오스 영역과 드레인 영역을 포함하는 반도체 기판; 상기 소오스 영역과 드레인 영역 사이의 기판에 형성된 채널; 상기 채널상에 형성된 질화막을 포함하는 게이트 절연막; 및 상기 게이트 절연막상에 형성된 게이트를 포함하여 구성되며, 상기 채널은 적어도 상단부와 경사부와 하단부로 이루어진 계단형 채널이며, 상기 질화막은 상기 경사부와 하단부상에 형성되어 있고, 상기 채널의 상단부는 상기 소오스 영역에 근접하고 상기 채널의 하단부는 상기 드레인 영역에 근접하며, 상기 소오스 영역에서 드레인 영역으로의 전자의 이동 방향과 동일한 방향으로 상기 채널의 경사부를 통과하여 상기 질화막으로 전자가 주입되는 것을 특징으로 한다. 이에 따르면, 프로그램 동작 전압을 기존의 7 V 정도에서 약 3 V 정도로 낮출 수 있고 또한 소거 동작 특성도 향상되는 효과가 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

비휘발성 소노스 메모리 소자 및 그 제조방법{NONVOLATILE SONOS MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 비휘발성 소노스 메모리 소자를 도시한 단면도이다.

도 2는 본 발명에 따른 비휘발성 소노스 메모리 소자를 도시한 단면도이다.

도 3 내지 도 12는 본 발명에 따른 비휘발성 소노스 메모리 소자의 제조방법을 도시한 공정별 단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

100; 반도체 기판 110, 110a, 110b; 제1산화막

120, 120a, 120b; 질화막 130, 130a; 제2산화막

140; 포토레지스트 패턴 150, 150a; 제3산화막

160; 전도막 160a; 게이트 전극

170; 오옴층(ONO) 절연막 170a; 게이트 절연막

180; 소오스 영역 190; 드레인 영역

200; 트랜지스터 300; 상단부

305; 모서리부 310; 경사부

320; 하단부 330; 채널

400; 계단형 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 비휘발성 소노스(SONOS) 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 낮은 프로그래밍 동작 전압과 우수한 소거 동작 특성을 가진 비휘발성 메모리 소자 및 그제조방법에 관한 것이다.
- <16> 마이크로프로세서 동작에 활용되는 전형적인 반도체 메모리 소자는 휘발성 특성을 지니고 있는 것이 일반적이다. 이러한 휘발성 메모리 소자는 전원 공급이 중단되면 저장된 데이터는 사라져 버리게 된다. 이러한 점을 해결하기 위한 하나의 방법으로는 별도의 정보 저장 요소, 예를 들어 캐패시터를 형성하는 것이다. 이와는 다르게, 근본적으로 메모리 소자를 비휘발성으로 만드는 것이다. 전원 공급의 중단 뿐만 아니라 에너지의 공급이 없어도 정보를 유지시킬 수 있는 비휘발성 메모리 소자가 더 바람직하다.
- <17> 종래의 전형적인 비휘발성 메모리 소자로는 전하 포획(charge-trapping) 소자를 들 수 있다. 예를 들어, 부유 게이트(floating gate)라 지칭되는 고립된 전도체에 전하가 저장되는 전계 효과 소자인 부유 게이트형 메모리 소자(floating gate type memory device)가 있다.
- <18> 부유 게이트형 메모리 소자(floating gate type memory device)는 반도체 기판과 게이트 전극 사이에 형성된 절연막에 의해 고립된 전도체인 부유 게이트를 형

성하고, 부유 게이트 내에 전하를 저장하는 방법으로 프로그래밍을 수행한다. 부유 게이트형 메모리 소자는 전도체 부유 게이트를 사용하므로 부유 게이트와 기판을 이격시키는 터널링 절연막 일부에 결함이 발생하면 부유 게이트에 저장된 모든 전하를 잃을 수 있다. 따라서, 부유 게이트형 메모리 소자는 신뢰성(reliability)을 유지하기 위해 메모리 소자에 후술하는 부유 포획형 메모리 소자(floating trap type memory device)에 비해 상대적으로 두꺼운 터널링 절연막이 필요하다. 이 경우, 터널링 절연막의 두께를 증가시킴에 따라 높은 동작전압이 요구되어 복잡한 주변회로가 필요하다. 그 결과, 소자 고집적화의 한계를 가지며 높은 소비전력의 문제점을 가진다.

<19> 위와는 다른 전하 포획 소자의 예로는 전계 효과 소자의 절연성 벌크 트랩에 전하를 저장하는 부유 포획형 메모리 소자(floating trap type memory device)가 있다.

<20> 부유 포획형 메모리 소자(floating trap type memory device)는 게이트 전극과 반도체 기판 사이에 설치된 절연성 전하 저장층 내에서 형성되는 트랩에 전하를 저장하는 방법에 의해 프로그래밍을 수행한다. 부유 포획형 메모리 소자의 예로는 금속-질화막-산화막-반도체 (Metal-Nitride-Oxide-Semiconductor; MNOS), 금속-알루미나-산화막-반도체 (Metal-Alumina-Oxide-Semiconductor; MAOS), 금속-알루미나-반도체 (Metal-Alumina-Semiconductor; MAS), 실리콘-산화막-질화막-산화막-반도체 (Silicon-Oxide-Nitride-Oxide-Semiconductor; SONOS) 메모리 소자 등이 있다.

<21> 특히, 도1에 도시된 바와 같이, 마이크론 반도체(Micron Semiconductor)사의 미합중국 특허 제5,387,534호 "METHOD OF FORMING AN ARRAY OF NON-VOLATILE SONOS MEMORY CELLS AND ARRAY OF NON-VOLATILE SONOS MEMORY CELL"에 개시된 소노스(SONOS) 메모리 소자는 1960년대 후반부터 개발되어왔다.

- <22> 도 1을 참조하여, 종래 기술에 따른 비휘발성 소노스 메모리 소자는 소오스/드레인 영역 (15,16)과 소자분리막(19,20)이 형성된 반도체 기판(14)상에 산화막-질화막-산화막(ONO)이 차례로 적층된 게이트 절연막(17)과 게이트 전극(18)으로 구성되어 있다.
- <23> 상기한 비휘발성 소노스 메모리 소자는 다음과 같이 게이트 절연막(17)을 구성하는 질화막의 트랩 준위를 이용하여 동작한다. 게이트 전극(18)에 양전압이 인가되면, 반도체 기판(14)으로부터 전자(electron)가 터널링되어 게이트 절연막(17)을 구성하는 질화막내의 트랩에 포획된다. 게이트 절연막(17)의 질화막내에 전자가 쌓임에 따라 소자의 문턱전압(threshold voltage)이 상승하여 프로그램 상태(program state)가 된다.
- <24> 이와는 반대로, 게이트 전극(18)에 음전압을 걸어주면 게이트 절연막(22)의 질화막내의 트랩에 포획되어있던 전자가 터널링되어 반도체 기판(14)으로 빠져나간다. 이와 동시에, 반도체 기판(14)으로부터 정공(hole)이 터널링되어 게이트 절연막(17)의 질화막내의 트랩에 포획된다. 이로 인해 소자의 문턱전압이 낮아져 소거상태(erase state)가 된다.
- <25> 이러한 비휘발성 소노스 메모리 소자는 전하가 깊은 준위의 트랩(deep level trap)에 저장되기 때문에 부유 게이트형 메모리 소자에 비하여 상대적으로 얇은 두께의 게이트 절연막을 사용하는 것이 가능하다. 또한, 부유 게이트형 메모리 소자에 비해 간단한 소자 구조를 가지므로 공정이 단순하여 높은 집적도의 실현이 용이하다.
- <26> 그러나, 종래 기술에 따른 비휘발성 소노스 메모리 소자에 있어서는 다음과 같은 문제점이 있다.
- <27> 종래 기술에 있어서, 프로그램 동작시 핫 캐리어(hot carrier) 발생과 게이트 절연막내의 질화막으로의 주입(injection)시키기 위하여는 고전계(high electrical field)가 필요하다.

그렇기 때문에, 소오스/드레인 전압을 약 7 V 이상으로 인가하여야만 프로그램 동작이 가능한데, 이러한 동작 조건에서는 전류 소모가 수백 μA 정도로 된다. 이와 같이, 프로그램 동작시 높은 전압과 많은 전류 소모는 펌핑(pumping) 효율 및 펌핑(pumping) 회로의 과도한 면적 등의 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<28> 이에, 본 발명은 상기한 종래 기술상의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 낮은 프로그램 동작 전압과 적은 전류 소모를 통해서도 충분한 프로그램 동작이 가능하고 소거 특성이 우수한 비휘발성 소노스 메모리 소자 및 그 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위한 본 발명에 따른 비휘발성 소노스 메모리 소자는, 소오스 영역과 드레인 영역을 포함하는 반도체 기판; 상기 소오스 영역과 드레인 영역 사이의 기판에 형성된 채널; 상기 채널상에 형성된 질화막을 포함하는 게이트 절연막; 및 상기 게이트 절연막상에 형성된 게이트 전극을 포함하여 구성되며, 상기 채널은 적어도 상단부와 경사부와 하단부로 이루어진 계단형 채널이며, 상기 질화막은 상기 경사부와 하단부상에 형성되어 있고, 상기 채널의 상단부는 상기 소오스 영역에 근접하고 상기 채널의 하단부는 상기 드레인 영역에 근접하며, 상기 소오스 영역에서 드레인 영역으로의 전자의 이동 방향과 동일한 방향으로 상기 채널의 경사부를 통과하여 상기 질화막으로 전자가 주입되는 것을 특징으로 한다.

<30> 상기 게이트 절연막은 산화막에 질화막이 삽입된 구조로서, 상기 산화막은 적어도 2개의 산화물이 적층되어 있는 것을 특징으로 한다.

- <31> 상기 소오스 영역은 상기 상단부에 근접하고 상기 드레인 영역은 상기 하단부에 근접하는 것을 특징으로 한다.
- <32> 상기 목적을 달성하기 위한 본 발명에 따른 비휘발성 소노스 메모리 소자의 제조방법은, 반도체 기판을 제공하는 단계; 상기 기판 표면 일부를 제거하여 상단부와 경사부와 하단부로 구성된 계단형 패턴을 형성하는 단계; 상기 기판상에 상기 계단형 패턴과 형태적으로 부합하는 오옌오(ONO) 절연막을 형성하는 단계; 상기 오옌오(ONO) 절연막상에 전도막을 형성하는 단계; 상기 오옌오(ONO) 절연막과 전도막을 패터닝하여 게이트 절연막과 게이트 전극을 형성하는 단계; 및 상기 게이트 측면 기판 표면에 소오스 영역과 드레인 영역을 각각 형성하는 것을 특징으로 한다.
- <33> 상기 게이트 절연막은 산화막에 질화막이 삽입되어 있는 구조로 형성되며, 상기 질화막은 상기 경사부와 하단부상에만 위치하는 구조로 형성되는 것을 특징으로 한다.
- <34> 상기 오옌오(ONO) 절연막을 형성하는 단계는, 상기 기판상에 제1산화막과 질화막과 제2산화막을 순차로 형성하는 단계; 상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계; 상기 상단부상에 잔류한 제1산화막과, 상기 경사부와 하단부상에 형성된 제2산화막을 제거하는 단계; 상기 경사부와 하단부상에 잔류한 질화막과 제1산화막이 모두 회복되도록 상기 기판상에 제3산화막을 형성하는 단계; 및 상기 기판을 열처리하는 단계를 포함하는 것을 특징으로 한다.
- <35> 상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계는, 상기 제2산화막상에 포토레지스트 패턴을 형성하되, 상기 경사부와 하단부만을 회복하는 단계; 상기 포토레지스트 패턴을 마스크로 하는 식각으로 상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계; 및 상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 한다.

- <36> 상기 제1산화막과 제2산화막을 제거하는 단계는, 습식 식각을 이용하여 상기 기판에 식각 손상이 가해지지 않는 것을 특징으로 한다.
- <37> 상기 제3산화막은 CVD 산화막인 것을 특징으로 하며, 상기 소오스 영역은 상기 상단부에 근접하고 상기 드레인 영역은 상기 하단부에 근접하여 형성되는 것을 특징으로 한다.
- <38> 본 발명의 일실시예에 따른 비휘발성 소노스 메모리 소자의 제조방법에 의하면, 반도체 기판을 제공하는 단계; 상기 기판 표면 일부를 제거하여 상단부와 경사부와 하단부로 구성된 계단형 패턴을 형성하는 단계; 상기 기판상에 제1산화막과 질화막과 제2산화막을 순차로 형성하는 단계; 상기 제2산화막상에 포토레지스트 패턴을 형성하되, 상기 경사부와 하단부만을 피복하는 단계; 상기 포토레지스트 패턴을 마스크로 하는 식각으로 상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 상단부상에 잔류한 제1산화막과, 상기 경사부와 하단부상에 형성된 제2산화막을 습식 식각으로 제거하는 단계; 상기 경사부와 하단부상에 잔류한 질화막과 제1산화막이 모두 피복되도록 상기 기판상에 CVD 산화막을 증착하여 제3산화막을 형성하는 단계; 상기 기판을 열처리하는 단계; 상기 제3산화막상에 전도막을 형성하는 단계; 상기 전도막과 제3산화막과 질화막과 제1산화막을 패터닝하여 게이트 절연막과 게이트 전극을 형성하는 단계; 및 상기 게이트 측면 기판 표면에 소오스 영역과 드레인 영역을 각각 형성하되, 상기 소오스 영역은 상기 상단부에 근접하고 상기 드레인 영역은 상기 하단부에 근접하여 형성하는 것을 특징으로 한다.
- <39> 본 발명에 의하면, 게이트 절연막의 형태가 국부적으로 단차진 계단형이고 또한 계단형 게이트 절연막 구조에 있어서 상대적으로 낮은 위치에만 전하 저장막인 질화막이 위치함으로써 게이트 전극에 인가하는 프로그램 동작 전압을 기존의 7 V 정도에서 약 3 V 정도로 낮출 수 있고 또한 소거 동작 특성도 우수해진다.

- <40> 이하, 본 발명에 따른 비휘발성 소노스 메모리 소자 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다.
- <41> 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판"상"에 있다고 언급되어지는 경우는 그것은 다른 막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막이 개재될 수 있다. 명세서 전체에 걸쳐서 동일한 도면부호는 동일한 구성요소를 나타낸다.
- <42> 도 2는 본 발명에 따른 비휘발성 소노스 메모리 소자를 도시한 단면도이고, 도 3 내지 도 12는 본 발명에 따른 비휘발성 소노스 메모리 소자의 제조방법을 도시한 공정별 단면도이다.
- <43> (실시예)
- <44> 도 2를 참조하여, 본 발명에 따른 비휘발성 소노스 메모리 소자는 실리콘(Si)과 같은 반도체성 화합원소로 구성된 반도체 기판(100)상에 소오스 영역(180)과, 드레인 영역(190)과, 소오스 영역(180)과 드레인 영역(190) 사이의 기판(100) 표면에 형성된 채널(330)과, 채널(330)상에 형성된 게이트 절연막(170a)과 게이트 전극(160a)을 포함하는 트랜지스터(200)가 형성되어 있다.
- <45> 여기서, 채널(330)은 적어도 상단부(300)와 경사부(310)와 하단부(320)로 이루어져 있어 계단형 구조를 이루며, 채널(330)의 상단부(300)는 소오스 영역(180)에 근접하며 하단부(320)

는 드레인 영역(190)에 근접한다. 수평한 기판(100)으로부터 측정되는 경사부(310)의 각도(θ)는 어느 특정한 각도나 각도범위에 한정되지 아니한다. 그러나, 경사부 각도(θ)가 너무 작으면 채널(330)의 길이가 너무 길어지게 되므로 소자의 고집적에 장애요인이 된다. 따라서, 경사부 각도(θ)는 소자의 집적도를 고려하여 약 30° 이상을 유지하는 것이 바람직하다 할 것이다.

<46> 게이트 절연막(170a)은 적어도 2개의 산화물이 적층되어 있는 산화막(110b)(150b)에 질화막(120b)이 삽입되어 있는 형태를 이루며, 계단형 채널(330)상에 형성되어 있으므로 게이트 절연막(170a) 또한 계단형을 지닌다.

<47> 한편, 정보를 저장하는 질화막(120b)은 채널(330)의 상단부(300)에는 형성되어 있지 아니하며, 다만 경사부(310)와 하단부(330)상에만 형성되어 있다. 이는 트랜지스터(200)의 소거(ERASE) 특성을 향상시키기 위함이며 이에 대해선 후술한다. 그리고, 질화막(120b)과 같이 게이트 절연막(170a)을 이루는 산화막(110b)(150b)은 채널(330)의 상단부(300)와 경사부(310)와 하단부(320) 전면상에 형성되어 있다.

<48> 게이트 전극(160a)는 폴리실리콘과 같은 전도성 물질로 이루어져 있으며 스위칭 역할을 수행하는 것으로, 산화막(110b)(150b)을 사이에 두고 기판(100)과 전기적으로 절연되어 있다.

<49> 이상과 같은 구성을 이루는 본 발명에 따른 비휘발성 소노스 메모리 소자는 다음과 같이 동작한다.

<50> 게이트 전극(160a)에 적절한 전압이 인가되어 게이트 전극(160a)의 전압이 채널(330)의 상단부(310)의 문턱전압(threshold voltage) 보다 높아지게 되면, 소오스 영역(180)으로부터 드레인 영역(190)으로 전자가 이동한다. 그리고, 소오스-드레인 퍼텐셜 차이(potential

difference)에 의한 수평 전기장(horizontal electric field)에 의해 전자는 수평 방향으로의 이동이 가속된다.

<51> 이때, 전자가 채널(330)의 모서리부(305)에 도달하면 종래처럼 산화막(110b)을 통과하기 위하여 전자의 모멘텀(또는 이동)이 수평 방향에서 수직 방향으로 변경되지 않아도 된다. 따라서, 채널(330)의 모서리부(305)는 또 하나의 전자의 주입점(injection point)처럼 동작하게 된다. 그러므로, 전자의 에너지가 산화막의 에너지 장벽(실리콘산화막인 경우 약 3eV)보다 크고 게이트 전극(160a)의 퍼텐셜이 모서리부(305)의 퍼텐셜보다 크면, 전자는 채널(330)의 경사부(310)와 산화막(110b)을 통과하여 질화막(120b)에 포착되어 프로그래밍(programming)이 수행된다. 즉, 전자의 운동방향(①)은 종래처럼 수평 방향에서 수직 방향으로 변경되지 않고 소오스 영역(180)으로부터 드레인 영역(190)으로의 운동 방향인 수평 방향과 동일하다.

<52> 소자의 소거(erase) 동작은 드레인 영역(190)으로부터 정공(hole)이 질화막(120b) 내로 이동하여 수행된다. 이때, 정공은 낮은 이동도 때문에 드레인 영역(190)으로부터 이동거리가 짧은 지역에는 소거 동작이 원활하게 수행되지만, 이와 달리 드레인 영역(190)으로부터 이동거리가 먼 지역에는 소거 동작이 상대적으로 원활하지 않는다.

<53> 따라서, 질화막(120b)의 형성 위치를 정공의 원활한 이동방향(②)과 그렇지 않은 이동방향(③)을 고려하여 드레인 영역(190)에 치우치도록 형성하는 것이 바람직하다. 즉, 채널(330)의 경사부(310)와 하단부(320)상에만 질화막(120b)을 형성하는 것이 소자의 소거 특성 향상에 바람직하다.

<54> 이하, 본 발명에 따른 비휘발성 소노스 메모리 소자의 제조방법을 도 3 내지 도 12를 참조하여 설명한다.

- <55> 본 발명에 따른 비휘발성 소노스 메모리 소자의 제조방법은, 도 3에 도시된 바와 같이, 먼저 실리콘(Si)과 같은 반도체성 화학원소로 구성된 반도체 기판(100)을 준비한다. 그런다음, 기판(100)의 일부를 제거하여 상단부(300)와 경사부(310)와 하단부(320)로 구성된 계단형 패턴(400)을 형성한다.
- <56> 이때, 수평한 기판(100)으로부터 측정되는 경사부(310)의 각도(θ)는 어느 특정한 각도나 각도범위에 한정되지 아니하고 임의의 각도로 조절할 수 있다. 그러나, 경사부 각도(θ)가 너무 작으면 채널(도 12의 330 참조)의 길이가 너무 길어지게 되어 소자의 고집적에 장애요인이 된다. 따라서, 경사부 각도(θ)는 소자의 집적도를 고려하여 약 30° 이상을 유지하도록 하는 것이 바람직하다 할 것이다.
- <57> 이어서, 도 4에 도시된 바와 같이, 상기 계단형 패턴(400)과 형태적으로 부합하도록 기판(100)상에 제1산화막(110)과 질화막(120)과 제2산화막(130)을 순차로 형성한다. 예를 들어, 기판(100)을 산화시켜 기판(100)상에 SiO_2 와 같은 제1산화막(110)을 형성하고, 제1산화막(110)상에 질화막(120)으로는 Si_3N_4 와 같은 질화막(120)을 형성한다. 계속하여, 질화막(120)상에 산화물을 화학기상증착법 등으로 증착시켜 제2산화막(120)을 형성한다.
- <58> 그다음, 도 5에 도시된 바와 같이, 포토레지스트의 코팅과 현상 및 노광 공정 등으로 제2산화막(130)상에 포토레지스트 패턴(140)을 형성한다. 이때, 포토레지스트 패턴(140)이 경사부(310)와 하단부(320)만을 피복한다.
- <59> 이어서, 도 6에 도시된 바와 같이, 포토레지스트 패턴(140)을 마스크로 하는 식각 공정으로 상단부(300)상에 형성된 제2산화막(130)을 선택적으로 제거한다. 그결과, 상단부(300)상에는 제1산화막(110)만이 남고, 경사부(310)과 하단부(320)상에는 제1산화막(110)과 질화막(120a)과 제2산화막(130a)이 남게된다.

- <60> 그런다음, 도 7에 도시된 바와 같이, 상단부(300)상의 제1산화막(110)과, 경사부(310)와 하단부(320)상의 제2산화막(130a)을 식각 공정을 이용하여 선택적으로 제거한다. 그리하여, 기판(100)의 경사부(310)와 하단부(320)상에만 제1산화막(110a)과 질화막(120a)만이 잔류하도록 한다.
- <61> 이때의 식각 공정으로는 건식 식각보다는 습식 식각을 적용하는 것이 기판(100)에 대한 식각 손상을 방지하기에 더 적합하다 할 것이다. 한편, 습식 식각 공정시 원치 않는 질화막(120a)의 손실을 방지하기 위하여 산화막과 질화막 사이의 식각선택비가 우수한 식각 방법을 이용하는 것이 더욱 바람직하다 할 것이다.
- <62> 다음으로, 도 8에 도시된 바와 같이, 경사부(310)와 하단부(320)상에 잔류한 질화막(110a)과 제1산화막(120a)이 모두 피복되도록 기판(100) 전면상에 CVD 산화막을 증착하여 제3산화막(150)을 형성한다. 그런다음, 기판(100)에 대한 열처리를 진행하여 제3산화막(150)인 CVD 산화막을 경화시킨다. 이때, 제3산화막(150) 보다 제1산화막(110a)을 더 두껍게 형성하고자 할 경우에는 CVD 산화막의 경화를 위한 열처리 공정 대신에 열산화(thermal oxidation) 공정을 진행할 수 있다.
- <63> 열처리 공정을 진행하게 되면, 제1산화막(110a)과 제3산화막(150) 사이에 질화막(120a)이 삽입 형성된 구조의 오엔오(ONO) 절연막(170)이 계단 형태로 완성된다. 여기서, 오엔오(ONO)는 산화막(Oxide)-질화막(Nitride)-산화막(Oxide)의 약칭이다.
- <64> 그다음, 도 9에 도시된 바와 같이, 계단형으로 형성된 오엔오(ONO) 절연막(170) 상에 폴리실리콘과 같은 전도체를 물리기상증착법 등으로 증착하여 전도막(160)을 형성한다.

- <65> 계속하여, 도 10에 도시된 바와 같이, 전도막(160)의 일부를 플라즈마를 이용한 건식 식각 공정 등으로 패터닝하여 폴리실리콘 등으로 구성된 게이트 전극(160a)을 형성한다.
- <66> 다음으로, 도 11에 도시된 바와 같이, 게이트 전극(160a)을 마스크로 하는 식각 공정 등으로 오옴 절연막(170)을 패터닝하여 게이트 절연막(170a)을 형성한다. 이때, 게이트 절연막(170a)은 제1산화막(110b)과 제3산화막(150a) 사이에 질화막(120b)이 삽입된 계단형 구조로 형성되며, 질화막(120b)은 경사부(310)와 하단부(320)에만 위치하게 된다.
- <67> 이어서, 도 12에 도시된 바와 같이, 게이트 전극(160a)을 마스크로 하는 불순물 이온주입 공정으로 게이트 전극(160a) 측면 기판(100)에 소오스 영역(180)과 드레인 영역(190)을 형성한다. 이때, 소오스 영역(180)은 상단부(300)에 근접하도록 형성하고, 드레인 영역(190)은 하단부(320)에 근접하도록 형성한다.
- <68> 이때, 소오스 영역(180)과 드레인 영역(190) 사이의 기판(100) 표면은 채널(330)로 정의되며, 채널(330)은 상단부(300)와 경사부(310)와 하단부(320)로 구성된 계단형 채널로 정의된다.
- <69> 상기와 같은 일련의 공정으로 형성되는 비휘발성 소노스 메모리 소자는 다음과 같이 동작한다.
- <70> 도 12를 참조하여, 게이트 전극(160a)에 적절한 전압이 인가되어 게이트 전극(160a)의 전압이 채널(330)의 상단부(310)의 문턱전압(threshold voltage) 보다 높아지게 되면, 소오스 영역(180)으로부터 드레인 영역(190)으로 전자가 이동한다. 그리고, 소오스-드레인 퍼텐셜 차이(potential difference)에 의한 수평 전기장(horizontal electric field)에 의해 전자는 수평 방향으로의 이동이 가속된다.

<71> 이때, 전자가 채널(330)의 모서리부(305)에 도달하면 종래처럼 산화막(110b)을 통과하기 위하여 전자의 모멘텀(또는 이동)이 수평 방향에서 수직 방향으로 변경되지 않아도 된다. 따라서, 채널(330)의 모서리부(305)는 전자주입점(electron injection point)처럼 동작된다. 그러므로, 전자의 에너지가 산화막의 에너지 장벽(실리콘산화막인 경우 약 3eV)보다 크고 게이트 전극(160a)의 퍼텐셜이 모서리부(305)의 퍼텐셜보다 크면, 전자는 채널(330)의 경사부(310)와 산화막(110b)을 통과하여 질화막(120b)에 포착되어 프로그래밍(programming)이 수행된다. 즉, 전자의 운동방향(①)은 종래처럼 수평 방향에서 수직 방향으로 변경되지 않고 소오스 영역(180)으로부터 드레인 영역(190)으로의 운동 방향인 수평 방향과 동일하다.

<72> 소자의 소거(erase) 동작은 드레인 영역(190)으로부터 정공(hole)이 질화막(120b) 내로 이동하여 수행된다. 이때, 정공은 낮은 이동도 때문에 드레인 영역(190)으로부터 이동거리가 짧은 지역에는 소거 동작이 원활하게 수행되지만, 이와 달리 드레인 영역(190)으로부터 이동거리가 먼 지역에는 소거 동작이 상대적으로 원활하지 않는다.

<73> 따라서, 질화막(120b)의 형성 위치를 본 실시예와 같이 정공의 원활한 이동방향(②)과 그렇지 않은 이동방향(③)을 고려하여 드레인 영역(190)에 치우치도록 형성하는 것이 바람직하다. 즉, 채널(330)의 경사부(310)와 하단부(320)상에만 질화막(120b)을 형성하는 것이 소자의 소거 특성 향상에 바람직하다.

【발명의 효과】

<74> 이상에서 상세히 설명한 바와 같이, 본 발명에 따른 비휘발성 소노스 메모리 소자 및 그 제조방법에 따르면, 게이트 절연막의 형태가 국부적으로 단차진 계단형이고 또한 계단형 게이트 절연막 구조에 있어서 상대적으로 낮은 위치에만 전하 저장막인 질화막이 위치함으로써 게

이트에 인가하는 프로그램 동작 전압을 기존의 7 V 정도에서 약 3 V 정도로 낮출 수 있고 또한 소거 동작 특성도 우수해진다. 이에 따라, 소자의 전기적 특성이 향상되는 효과가 있다.

【특허청구범위】**【청구항 1】**

소오스 영역과 드레인 영역을 포함하는 반도체 기판;

상기 소오스 영역과 드레인 영역 사이의 기판에 형성된 채널;

상기 채널상에 형성된 질화막을 포함하는 게이트 절연막; 및

상기 게이트 절연막상에 형성된 게이트 전극을 포함하여 구성되며,

상기 채널은 적어도 상단부와 경사부와 하단부로 이루어진 계단형 채널이며,

상기 질화막은 상기 경사부와 하단부상에 형성되어 있고,

상기 채널의 상단부는 상기 소오스 영역에 근접하고 상기 채널의 하단부는 상기 드레인 영역에 근접하며,

상기 소오스 영역에서 드레인 영역으로의 전자의 이동 방향과 동일한 방향으로 상기 채널의 경사부를 통과하여 상기 질화막으로 전자가 주입되는 것을 특징으로 하는 비휘발성 소노스 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 게이트 절연막은 산화막에 질화막이 삽입된 구조인 것을 특징으로 하는 비휘발성 소노스 메모리 소자.

【청구항 3】

제2항에 있어서,

상기 산화막은 적어도 2개의 산화물이 적층되어 있는 것을 특징으로 하는 비휘발성 소노스 메모리 소자.

【청구항 4】

제2항에 있어서,

상기 소오스 영역은 상기 상단부에 근접하고 상기 드레인 영역은 상기 하단부에 근접하는 것을 특징으로 하는 비휘발성 소노스 메모리 소자.

【청구항 5】

반도체 기판을 제공하는 단계;

상기 기판 표면 일부를 제거하여 상단부와 경사부와 하단부로 구성된 계단형 패턴을 형성하는 단계;

상기 기판상에 상기 계단형 패턴과 형태적으로 부합하는 오옌오(ONO) 절연막을 형성하는 단계;

상기 오옌오(ONO) 절연막상에 전도막을 형성하는 단계;

상기 오옌오(ONO) 절연막과 전도막을 패터닝하여 게이트 절연막과 게이트 전극을 형성하는 단계; 및

상기 게이트 측면 기판 표면에 소오스 영역과 드레인 영역을 각각 형성하는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 6】

제5항에 있어서,

상기 게이트 절연막은 산화막에 질화막이 삽입되어 있는 구조로 형성되는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 7】

제6항에 있어서,

상기 질화막은 상기 경사부와 하단부상에만 위치하는 구조로 형성되는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 8】

제5항에 있어서,

상기 오옌오(ONO) 절연막을 형성하는 단계는,

상기 기판상에 제1산화막과 질화막과 제2산화막을 순차로 형성하는 단계;

상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계;

상기 상단부상에 잔류한 제1산화막과, 상기 경사부와 하단부상에 형성된 제2산화막을 제거하는 단계;

상기 경사부와 하단부상에 잔류한 질화막과 제1산화막이 모두 피복되도록 상기 기판상에 제3산화막을 형성하는 단계; 및

상기 기판을 열처리하는 단계를 포함하는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 9】

제8항에 있어서,

상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계는,

상기 제2산화막상에 포토레지스트 패턴을 형성하되, 상기 경사부와 하단부만을 피복하는 단계;

상기 포토레지스트 패턴을 마스크로 하는 식각으로 상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 10】

제8항에 있어서,

상기 제1산화막과 제2산화막을 제거하는 단계는, 습식 식각을 이용하여 상기 기판에 식각 손상이 가해지지 않는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 11】

제8항에 있어서,

상기 제3산화막은 CVD 산화막인 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 12】

제5항에 있어서,

상기 소오스 영역은 상기 상단부에 근접하고 상기 드레인 영역은 상기 하단부에 근접하여 형성되는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 13】

반도체 기판을 제공하는 단계;

상기 기판 표면 일부를 제거하여 상단부와 경사부와 하단부로 구성된 계단형 패턴을 형성하는 단계;

상기 기판상에 제1산화막과 질화막과 제2산화막을 순차로 형성하는 단계;

상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계;

상기 상단부상에 잔류한 제1산화막과, 상기 경사부와 하단부상에 형성된 제2산화막을 제거하는 단계;

상기 경사부와 하단부상에 잔류한 질화막과 제1산화막이 모두 회복되도록 상기 기판상에 제3산화막을 형성하는 단계;

상기 기판을 열처리하는 단계;

상기 제3산화막상에 전도막을 형성하는 단계;

상기 전도막과 제3산화막과 질화막과 제1산화막을 패터닝하여 게이트 절연막과 게이트 전극을 형성하는 단계; 및

상기 게이트 측면 기판 표면에 소오스 영역과 드레인 영역을 각각 형성하는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 14】

제13항에 있어서,

상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계는,

상기 제2산화막상에 포토레지스트 패턴을 형성하되, 상기 경사부와 하단부만을 피복하는 단계;

상기 포토레지스트 패턴을 마스크로 하는 식각으로 상기 상단부상에 형성된 제2산화막과 질화막을 제거하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 15】

제13항에 있어서,

상기 제1산화막과 제2산화막을 제거하는 단계는, 습식 식각을 이용하여 상기 기판에 식각 손상이 가해지지 않는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【청구항 16】

제13항에 있어서,

상기 제3산화막은 CVD 산화막인 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

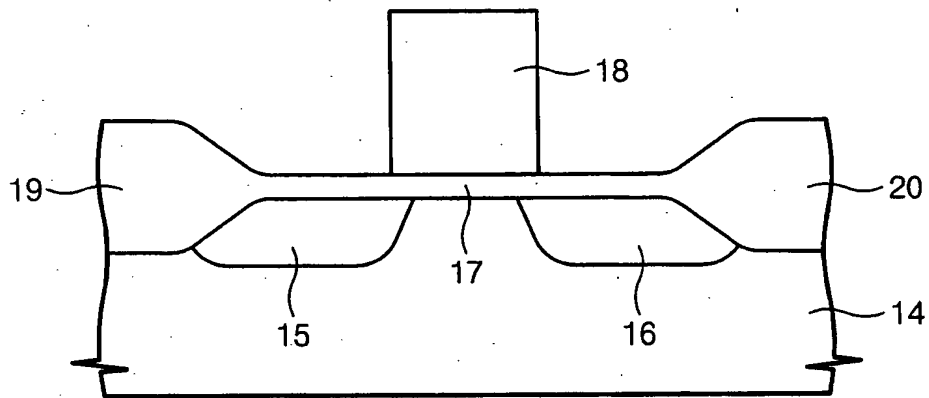
【청구항 17】

제13항에 있어서,

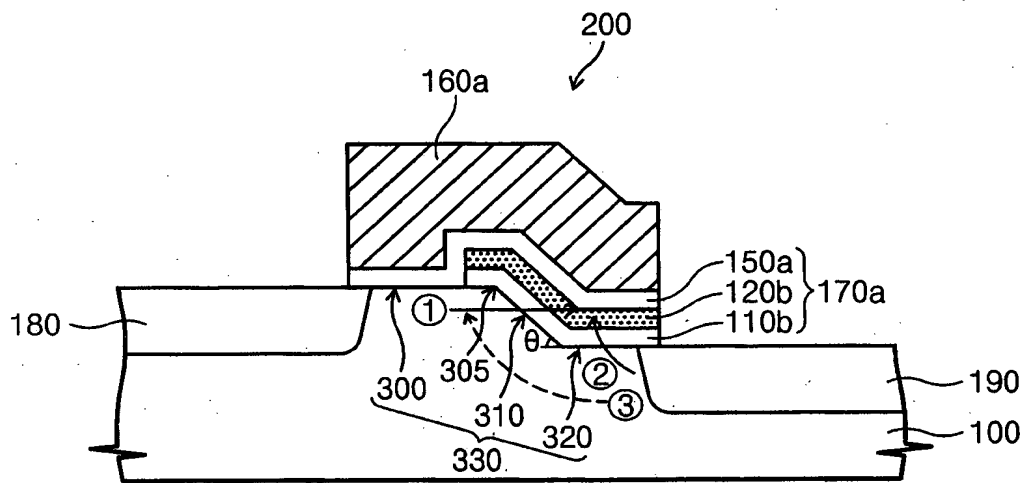
상기 소오스 영역은 상기 상단부에 근접하고 상기 드레인 영역은 상기 하단부에 근접하여 형성되는 것을 특징으로 하는 비휘발성 소노스 메모리 소자의 제조방법.

【도면】

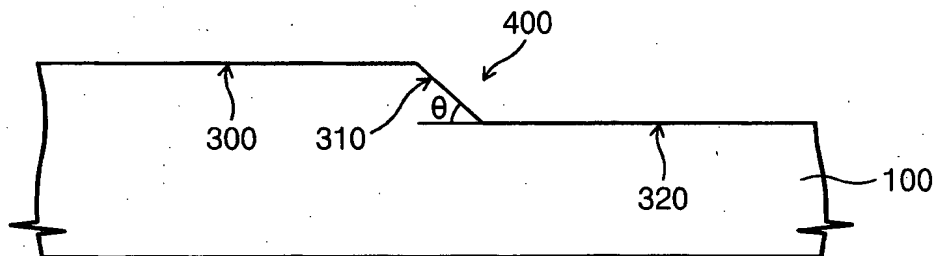
【도 1】



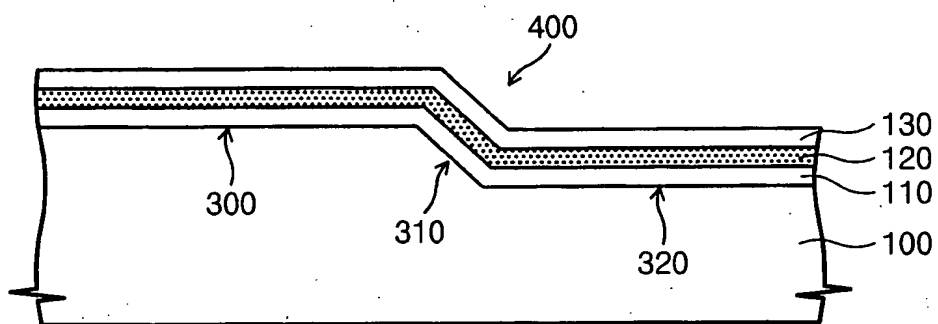
【도 2】



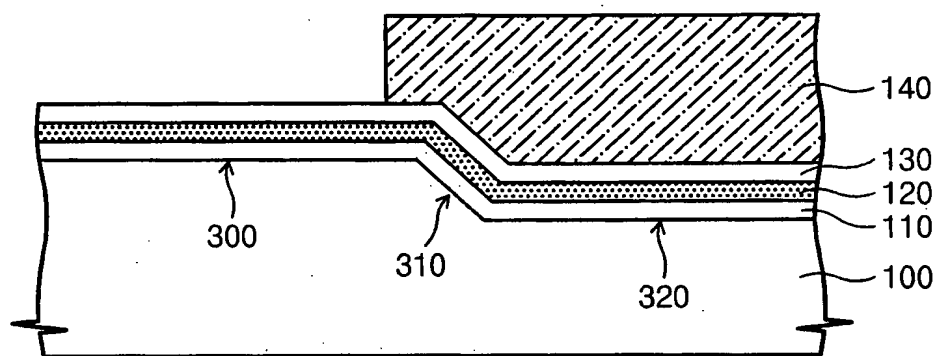
【도 3】



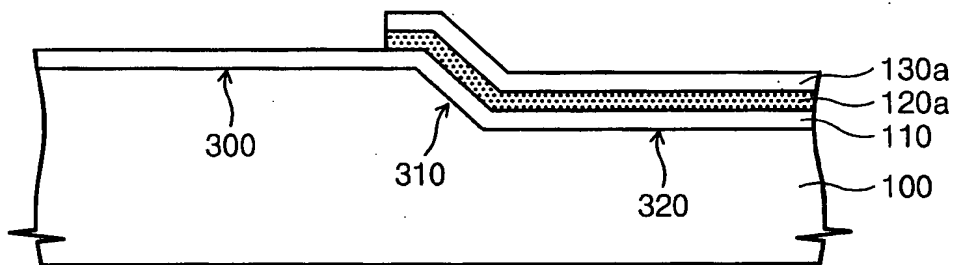
【도 4】



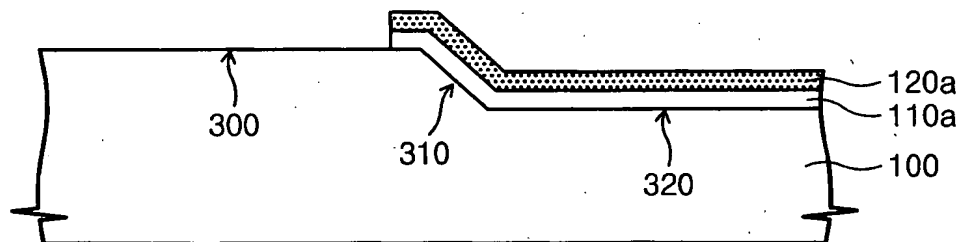
【도 5】



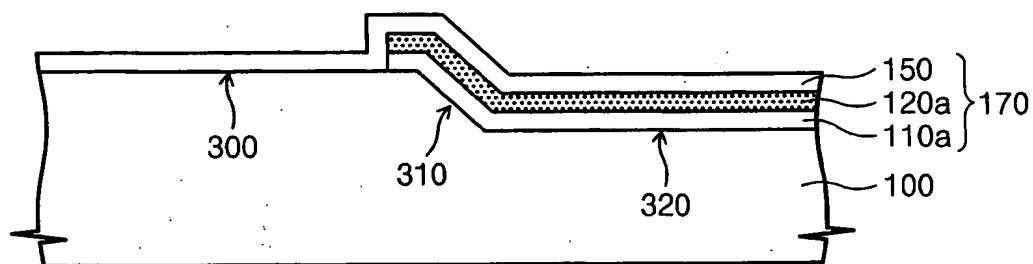
【도 6】



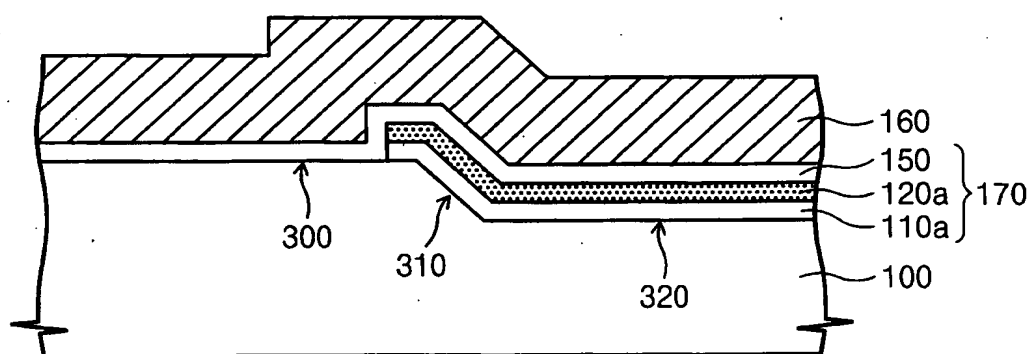
【도 7】



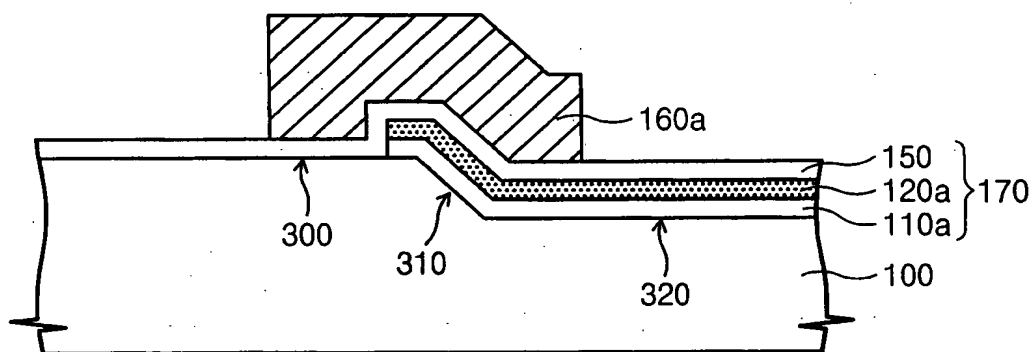
【도 8】



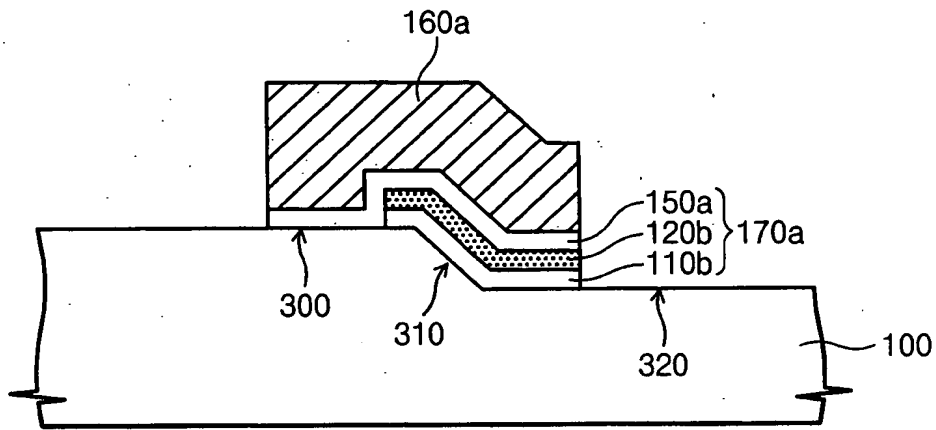
【도 9】



【도 10】



【도 11】



【도 12】

